

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-186512

(43)Date of publication of application : 16.07.1996

(51)Int.Cl.

H04B 1/18

H03H 7/38

H04B 1/40

(21)Application number : 06-327729

(71)Applicant : KOKUSAI ELECTRIC CO LTD

(22)Date of filing : 28.12.1994

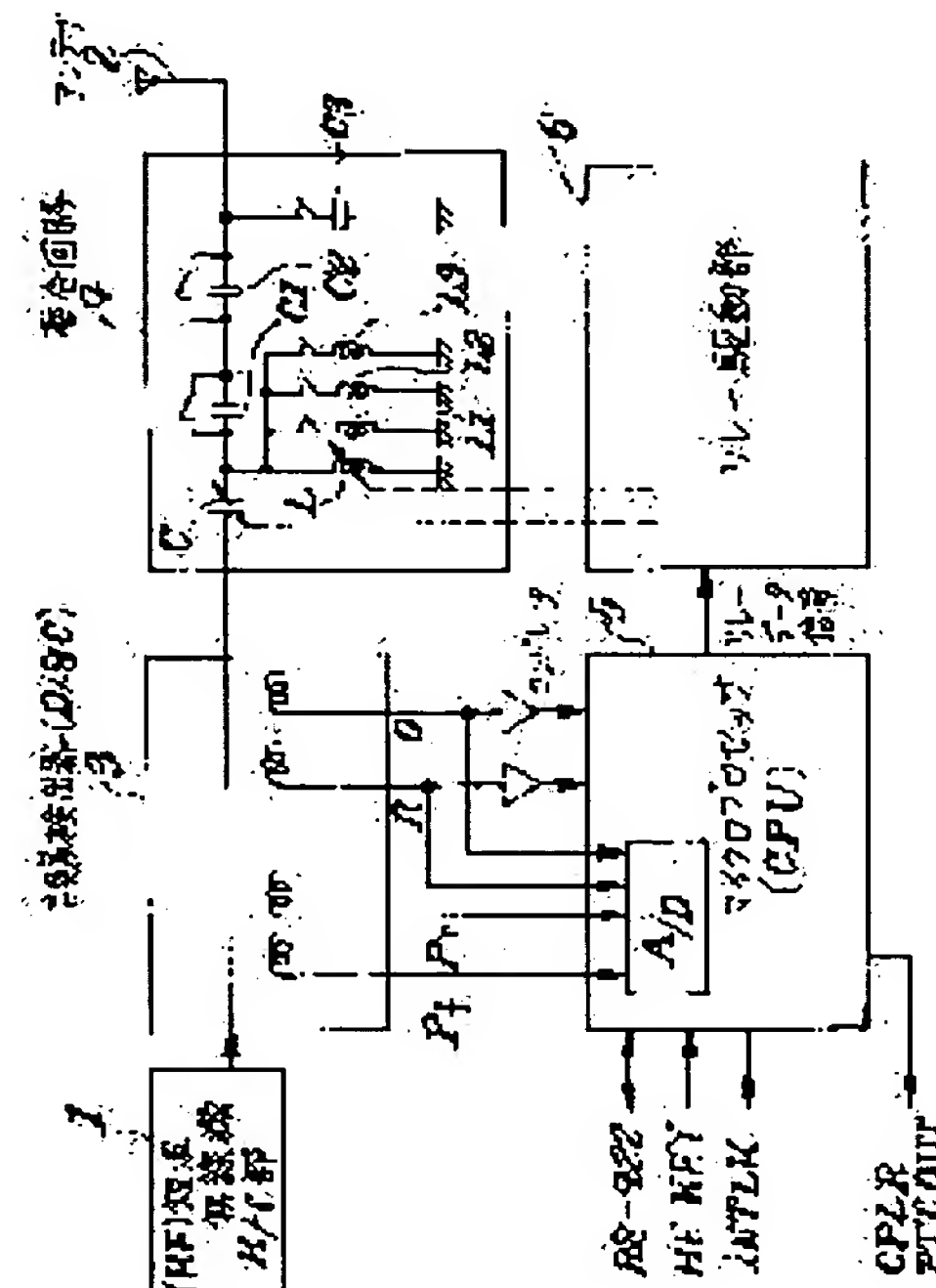
(72)Inventor : ISHINO IWAO
ABUKAWA MAKOTO

(54) OPTIMUM MATCHING CIRCUIT ACQUISITION SYSTEM

(57)Abstract:

PURPOSE: To shorten time for providing impedance matching by successively performing impedance matching until the impedance is matched among plural matching circuits and writing the impedance matched matching circuit in the head of a constant table.

CONSTITUTION: A matching circuit 4 is composed of plural matching parts such as capacitors C1–C3 and inductors L1–L3 and a CPU 5 matches the impedance of an antenna with that of short radio equipment 1 through a relay driving part 6 by using the capacitor C1. Then, the CPU 5 decides the propriety of matching by calculating a voltage/standing wave ratio from signals Pf and Pr and when matching is adverse, the capacitor C2 is selected through the relay driving part 6, for example, to match the impedance together with the turn-off of signals CPLR and PTT. Then, the capacitor C3, etc., whose matching is decided satisfactory, is written through the CPU 5 to the head of an updating type constant table and by using this table, the time for matching the impedance is shortened. In this case, when matching can not be provided even after the capacitors C1–C3 are once circulated, mismatching is decided.



LEGAL STATUS

[Date of request for examination] 25.12.2001

[Date of sending the examiner's decision of rejection] 23.03.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-186512

(43)公開日 平成8年(1996)7月16日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B 1/18		C		
H 0 3 H 7/38		B		
H 0 4 B 1/40				

審査請求 未請求 請求項の数1 O L (全 6 頁)

(21)出願番号 特願平6-327729

(22)出願日 平成6年(1994)12月28日

(71)出願人 000001122

国際電気株式会社

東京都中野区東中野三丁目14番20号

(72)発明者 石野 巖

東京都中野区東中野三丁目14番20号 国際
電気株式会社内

(72)発明者 虻川 誠

秋田県南秋田郡天王町天王字長沼64 五洋
電子工業株式会社内

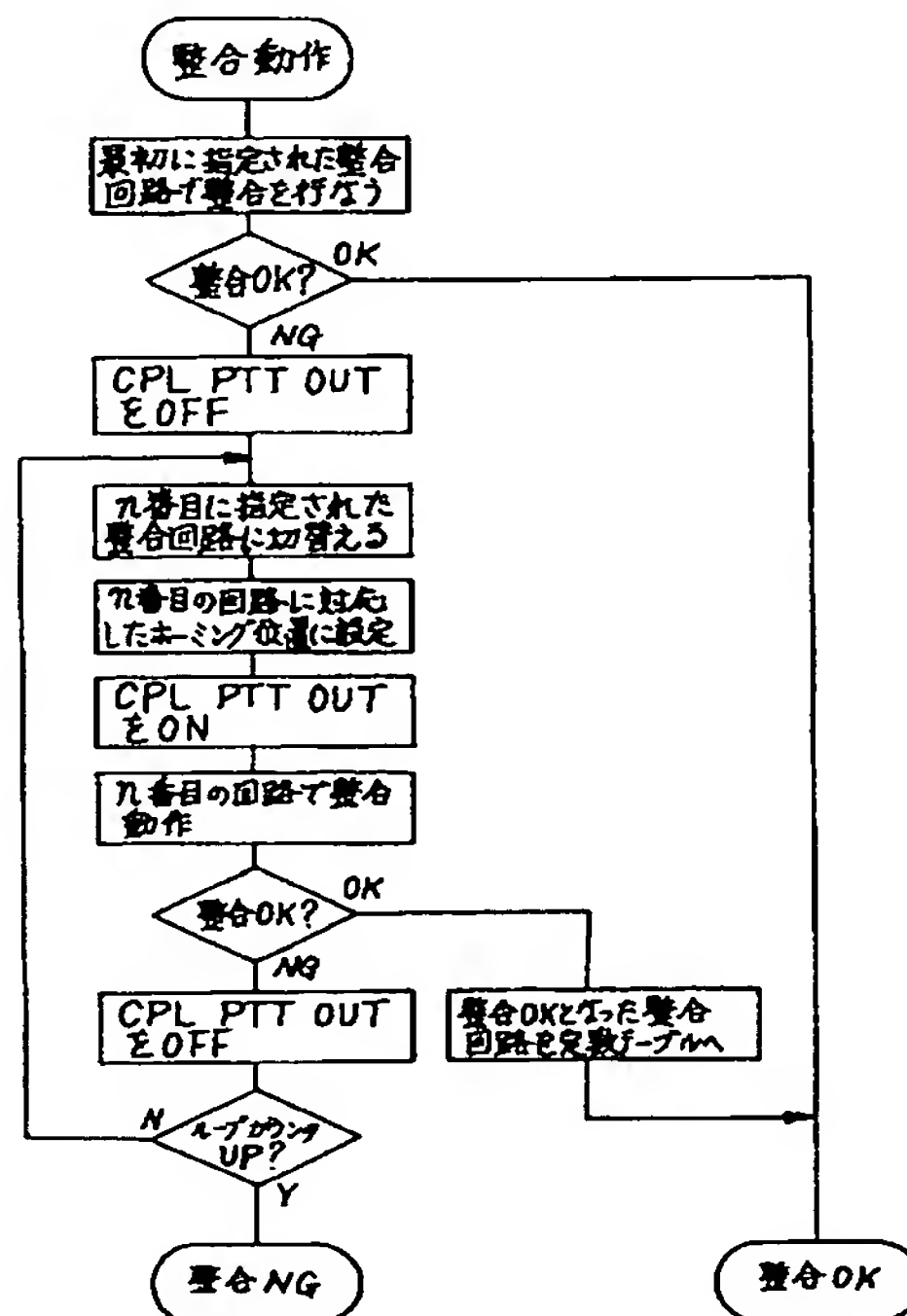
(74)代理人 弁理士 石戸 元

(54)【発明の名称】 最適整合回路取得方式

(57)【要約】

【目的】 常に最良の整合回路を取得し、インピーダンス整合が得られるまでの時間を大幅に短縮するばかりでなく、リレーの切替回数を大幅に削減し、リレーの寿命を延長してシステムの信頼性を向上する。

【構成】 複数の整合回路C1～C3、L1～L3を用い、更新式定数テーブルに従い最初に指定された整合回路C1でインピーダンス整合を行い、整合がとれない時は次に指定された整合回路C2に切替えて整合を行い、以下整合がとれない時は順次切替え、n番目の整合回路C3で整合がとれた場合、整合のとれた整合回路C3を定数テーブルの先頭に書込む一方、最後の整合回路まで切替えても整合がとれない場合は整合不良の処理を行うことを特徴とする。



【特許請求の範囲】

【請求項 1】 複数の整合回路を用い、更新式定数テーブルに従い最初に指定された整合回路でインピーダンス整合を行い、整合がとれない時は次に指定された整合回路に切替えて整合を行い、以下整合がとれない時は順次切替え、n 番目の整合回路で整合がとれた場合、整合のとれた整合回路を定数テーブルの先頭に書込む一方、最後の整合回路まで切替えても整合がとれない場合は整合不良の処理を行うことを特徴とする最適整合回路取得方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、複数の整合回路を用いて整合を行なう場合の整合回路の取得方式に関する。

【0002】

【従来の技術】 図 2 はデジタル整合方式の空中線整合回路の 1 例を示す説明図である。図 2 において 1 は送受信部よりなる短波無線機、2 はアンテナ、3 は無線機 1 のインピーダンスとアンテナ 2 のインピーダンスの誤差を検出する誤差検出器、4 はインピーダンス整合を図るための整合回路、5 は誤差信号を入力してデータ処理を行い、リレーデータ（切替）信号を出力するマイクロプロセッサ、H F K E Y はパワーを出す為の信号（P T T（プレストウトーク）と同じ意味）、i N T L K は C P L R がエラー状態の時 P T T を禁止する信号、C P L R P T T O U T は整合動作を行う為の信号、R S - 4 2 2 は高速／遠距離用インターフェースの意味である。データ処理システムの高速化、長距離化に対応するための電気的特性を定めた規格である。6 はリレーデータ信号を入力して複数のリレーから選択作動して整合回路を指定し整合を図るリレー駆動部である。このような整合装置にあっては、無線機 1 とアンテナ 2 のインピーダンス差を誤差検出器 3 により検出し、誤差信号をマイクロプロセッサ 5 に入力してデータ処理を行い、これより出力するリレーデータ信号をリレー駆動部 6 に入力してリレーを選択作動させ、整合回路を指定することにより誤差がゼロになるようにして整合を図るものである。また、整合の良否判定は、V S W R（電圧定在波比）を P f、P r 信号により算出して行なう。

【0003】 図 4 は従来方式を説明するためのフローチャートである。従来方式は、16 種類（1 つの周波数区分には 6 種類）の整合回路を用い、これを図 5 に示す固定式定数テーブルに従い、指定の順番で切替える。整合は最初に指定された整合回路 C 1 で整合がとれないと、次に指定された整合回路 C 2 へマイクロプロセッサ 5 により切替えて整合を行なう。整合がとれなかった場合は、C 3、L 1、L 2、L 3 へ順次切替えて最後の回路まで切替える。全ての回路で整合不良となったら、整合不良の処理を行なう。n（1～6）番目で整合を行い、整合がとれた時はその時点で整合動作終了となる。整合

不良になる理由として以下のようなものがある。

（1） 各セットによりコイル L 1～L 3 及びコンデンサ C 1～C 3 の熱の上昇による温度特性がある。コイルが冷えた状態の時と温たまった状態で抵抗値が変わる為、消費電力も多くなり電圧定在波比も変化してくる。

（2） 各セットにおける同調（T U N E）パワーの変動による電圧定在波比の安定が保たれない。

以上のような事から各セットによって整合回路定数を固定値として設定しても、整合がとれたりとれなかったりすることがある。

【0004】

【発明が解決しようとする課題】 上記のように従来方式にあっては、複数の整合回路を予め定められた定数テーブルの指定順序 C 1～C 3、L 1～L 3 に従い、切替えて整合を図る方式であるから、固定式のテーブル定数検索による整合回路を指定する優先順位が固定されているため、整合時間が長く、リレー切替回数が多くなるという課題がある。

【0005】

【課題を解決するための手段】 本発明方式は、上記の課題を解決するため、図 1 に示すように複数の整合回路 C 1～C 3、L 1～L 3 を用い、更新式定数テーブルに従い最初に指定された整合回路 C 1 でインピーダンス整合を行い、整合がとれない時は次に指定された整合回路 C 2 に切替えて整合を行い、以下整合がとれない時は順次切替え、n 番目の整合回路 C 3 で整合がとれた場合、整合のとれた整合回路 C 3 を定数テーブルの先頭に書込む一方、最後の整合回路まで切替えても整合がとれない場合は整合不良の処理を行うことを特徴とする。

【0006】

【作 用】 上記のような構成であるから、更新式定数テーブルに従って最初に整合回路 C 1 が指定されてインピーダンス整合が行われ、整合がとれない時は、次に指定された整合回路 C 2 に切替えられて整合が行われる。以下、整合がとれない時は順次切替えられ、n 番目の整合回路 C 3 で整合がとれた時は、該整合回路 C 3 が定数テーブルの先頭に書込まれる。従って次の切替順序は C 3、C 1、C 2、L 1～L 3 となる。最後の整合回路まで切替えても整合がとれない場合は、整合不良として処理されることになる。このように定数テーブルの先頭には常に整合のとれた最良の整合回路が書込まれるので、常に最良の整合回路を取得することができ、インピーダンス整合が得られるまでの時間を従来よりも大幅に短縮でき、リレーの切替回数を大幅に削減することができることになる。

【0007】

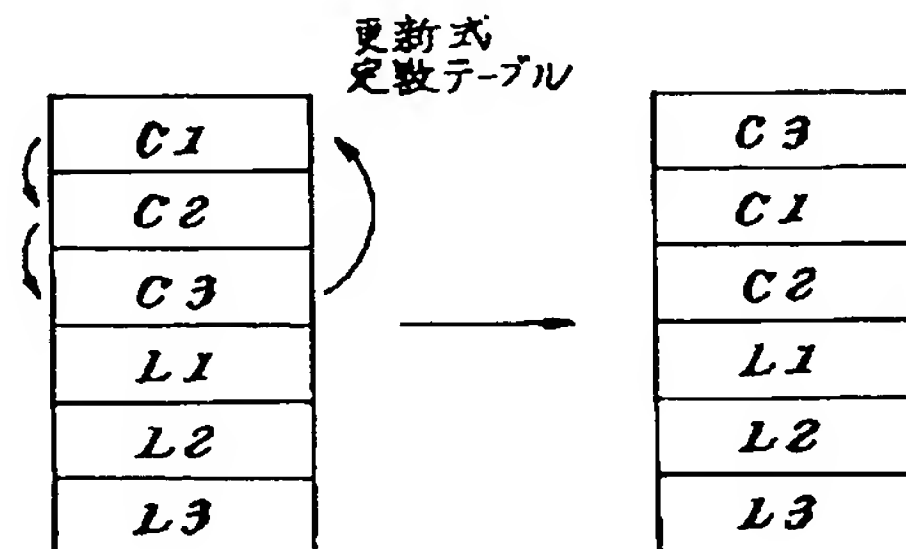
【実施例】 図 1 は本発明方式を説明するためのフローチャート、図 3 は本発明における更新式定数テーブルの説明図である。本発明方式は、複数の、例えば 16 種類（1 つの周波数区分には 6 種類）の整合回路 C 1～C

3

3, L1~L3を用い、これを図3に示す更新式定数テーブルに従い指定順序で切替える。C及びLはそれぞれ可変キャパシタ及び可変インダクタ、C1~C3はキャパシタによる整合回路、L1~L3はインダクタによる整合回路を示している。各整合回路の指定はリレーのオン、オフにより行う。図3に示す更新式定数テーブルの先頭に書込まれている整合回路は、前回、整合がとれている整合回路C1であり、以下指定順序に書込まれている。更新式定数テーブルに従い最初に指定された整合回路C1でインピーダンス整合を行い、整合がとれない時は次に指定された整合回路C2に切替えて整合を行い、以下整合がとれない時は順次切替え、n(1~6)番目で整合がとれた時はその時点で整合動作終了となる。整合終了後にn番目、例えば3番目の整合回路C3で整合がとれた場合、整合のとれた整合回路C3を最優先とするため、定数テーブルの先頭に書込む。従って図3に示すように次の切替順序はC3, C1, C2, L1~L3となる。又、最後の整合回路まで切替えても整合がとれない場合は、整合不良として処理する。

【0008】かくして各セット毎に整合回路の定数テーブルを持つことなく、学習機能としてマイクロプロセッサが常に定数テーブルの先頭に整合のとれた最優先の整合回路を記憶して整合を行うことができるので、常に最良の整合回路を取得することができ、インピーダンス整合が得られるまでの時間を従来よりも大幅に短縮することができる。即ち、従来、1つの整合回路で整合が終了するまで約6秒を要する。最適回路がテーブルの6番目にあった場合、常に約30秒を要する。しかし本発明の更新型のテーブルにした場合、最良の整合回路が先頭にある為、整合時間は常に6秒以下で終了する。又、リレーの切替回数を大幅に削減でき、リレーの寿命を延長できてシステムの信頼性を向上することができる。即ち、

【図3】



4

1回の整合における整合回数の低減により、可変素子を切替えるリレーの切替回数が減る。今回使用したリレーの寿命が約4000万回となっているが、限られたリレーのスペックの中で十分に性能を生かすことができる。今回の変更前の寿命は10年であったが、リレーの切替回数が1/6に削減された為に寿命も6倍の60年となる。

【0009】

【発明の効果】 上述のように本発明方式を採用することにより常に最良の整合回路を取得することができ、インピーダンス整合が得られるまでの時間を大幅に短縮することができるばかりでなく、リレーの切替回数を大幅に削減でき、リレーの寿命を延長できてシステムの信頼性を向上することができる。

【図面の簡単な説明】

【図1】 本発明方式を説明するためのフローチャートである。

【図2】 デジタル整合方式の空中線整合回路の1例を示す説明図である。

【図3】 本発明における更新式定数テーブルの説明図である。

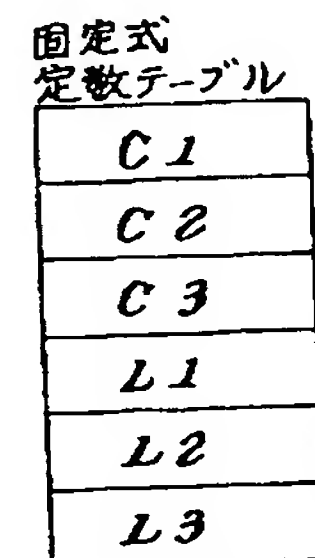
【図4】 従来方式を説明するためのフローチャートである。

【図5】 従来における固定式定数テーブルの説明図である。

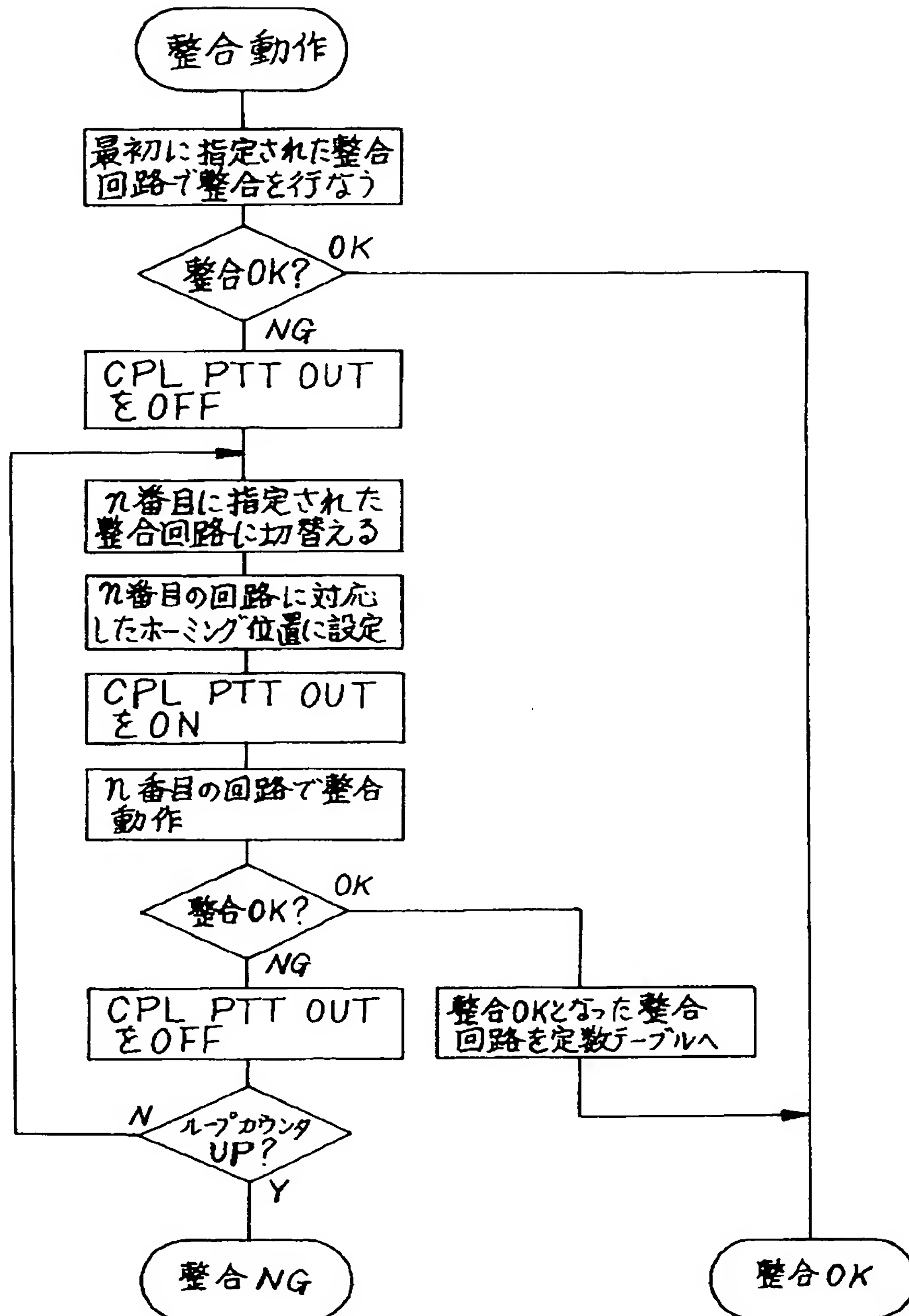
【符号の説明】

- 1 短波無線機
- 2 アンテナ
- 3 誤差検出器
- 4 整合回路
- 5 マイクロプロセッサ
- 6 リレー駆動部

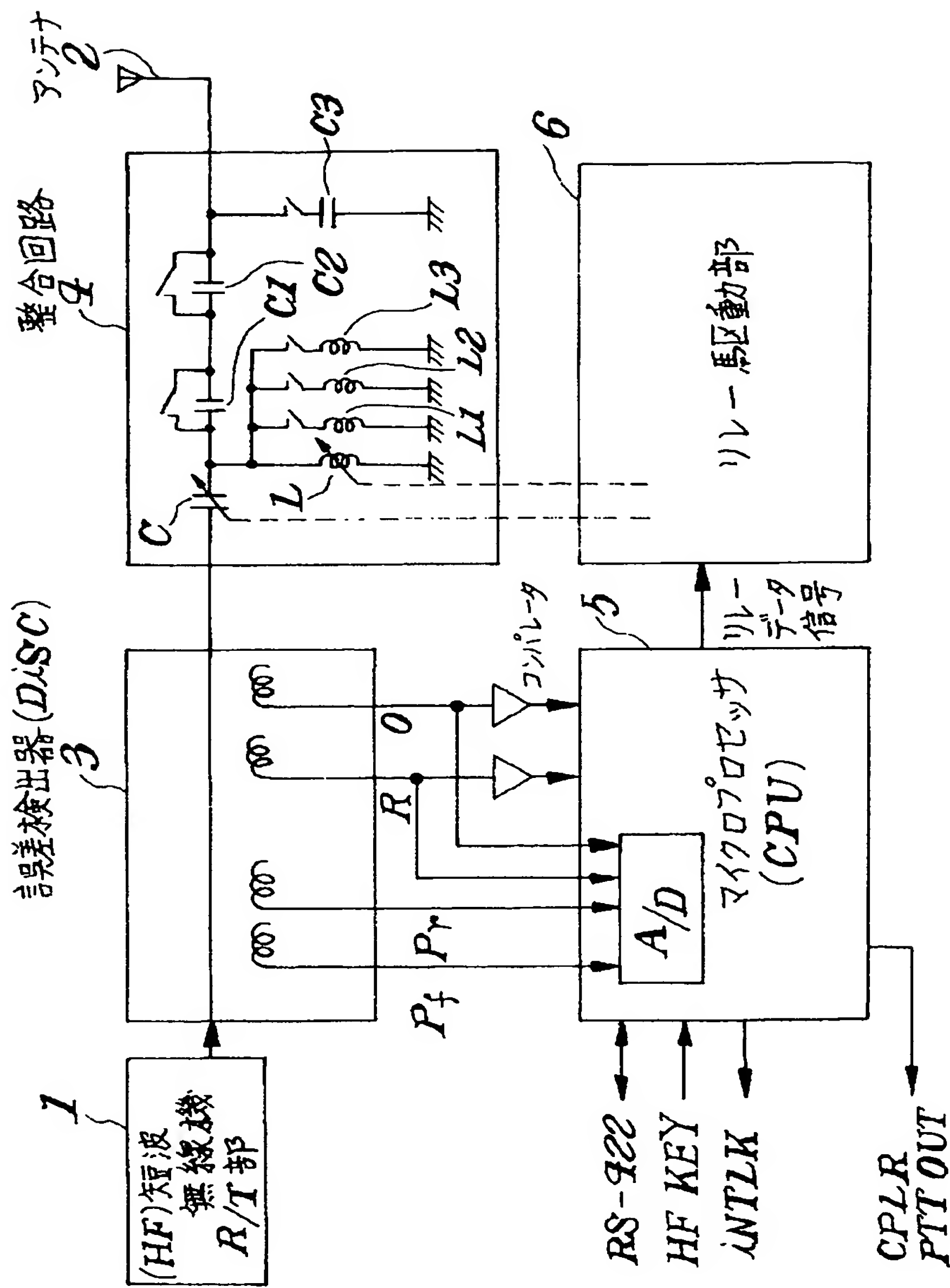
【図5】



【図1】



【図 2】



【図4】

